

日本国特許庁  
JAPAN PATENT OFFICE

2/primary  
11002 U.S. PTO  
10/062543  
02/05/02

Page 1  
8/6/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application:

2001年 2月22日

出願番号  
Application Number:

特願2001-046197

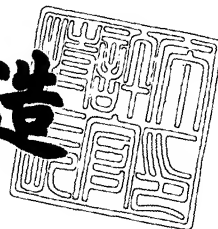
出願人  
Applicant(s):

シャープ株式会社

2001年11月16日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3100041

【書類名】 特許願

【整理番号】 00J03710

【提出日】 平成13年 2月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/304

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

    【氏名】 上久保 徳貴

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

    【電話番号】 06-6621-1221

【代理人】

    【識別番号】 100102277

    【弁理士】

    【氏名又は名称】 佐々木 晴康

    【電話番号】 06-6621-1221

    【連絡先】 電話 0 4 3 - 2 9 9 - 8 4 6 6 知的財産権本部 東京  
知的財産権部

【選任した代理人】

    【識別番号】 100103296

    【弁理士】

    【氏名又は名称】 小池 隆彌

【選任した代理人】

    【識別番号】 100073667

    【弁理士】

    【氏名又は名称】 木下 雅晴

【手数料の表示】

【予納台帳番号】 012313

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9902286

【包括委任状番号】 9703283

【包括委任状番号】 9703284

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 化学的機械研磨法により層間絶縁膜を平坦化する工程を有する半導体装置の製造方法において、

過剰研磨部となる箇所に、前記層間絶縁膜を堆積する前または後にストッパ層を堆積することを特徴とする半導体装置の製造方法。

【請求項 2】 前記ストッパ層の膜厚は、層間絶縁膜の研磨後の目標膜厚よりも前記層間絶縁膜の研磨工程における膜厚減少分以上厚くすることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記ストッパ層の幅は、前記接続孔形成のためのフォトリソグラフィ工程におけるレジスト層のウェーハエッジ領域での除去幅以上とすることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】 前記ストッパ層は、窒化膜であることを特徴とする請求項 1、2 または 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関するもので、詳しくは、化学的機械研磨法におけるウェーハエッジ付近の研磨レート（＝研磨量／単位時間、以下同じ）が異常に速くなるという問題を解決する方法に関するものである。

【0002】

【従来の技術】

集積回路素子の高集積化、大容量化に伴い、半導体デバイス上の配線も微細化してきており、配線の多層化が進んできている。このため、より高い平坦性を有する、配線間絶縁膜や配線間プラグの形成方法が求められており、層間絶縁膜堆積後に化学的機械研磨（Chemical Mechanical Polishing: 以下、CMP と記す）法により層間絶縁膜を平坦化した後に、接続孔をフォトリソグラフィ技術およびドライエッチング技術により形成し、接続孔内に例えばタンゲステンなどの金

属を積層充填し、層間絶縁膜上の金属をCMP法を用いて除去することにより、高い平坦性を有する、配線間絶縁膜および配線間プラグを形成する方法が広く用いられている。

## 【 0 0 0 3 】

ところで、層間絶縁膜などに使用される被研磨膜には堆積傾向があり、ウェーハ箇所によって堆積量が異なることが一般的に知られている。図4にウェーハ箇所に対する堆積量を定性的に示している。Aがウェーハの中心部を、Cがウェーハのエッジ部（エッジ部）を、BがAとCの中心部を示している。タイプ1はAからCに向かうにつれて堆積量が減少する傾向を、タイプ2はAからBに向かうにつれて堆積量が減少し、BからCに向かうにつれて堆積量が増加する傾向を、タイプ3はAからCに向かうにつれて堆積量が増加する傾向を、タイプ4はAからBに向かうにつれて堆積量が増加し、BからCに向かうにつれて堆積量が減少する傾向を示している。ここにおける堆積量の相違は堆積速度に依存している。

## 【 0 0 0 4 】

また、CMPの研磨量の傾向は図3に示すように、ウェーハのエッジ部から約1～2mmの範囲においてはウェーハのエッジ部から3mmから中心部までの研磨レートの2倍以上の研磨レートを有しており、タイプ1やタイプ4の堆積量傾向を持つ堆積物を研磨する場合にはウェーハのエッジ部において過剰研磨されるという問題が発生しやすくなる。

## 【 0 0 0 5 】

図6は、従来例の説明図である。図6（a）に示すように所定の半導体素子を形成した基板101上に第1の絶縁膜103としてBPSG膜を化学蒸着（CVD）法により堆積し、平坦化処理を行い、第1の絶縁膜103上に下層配線104を形成する。その後、第2の層間絶縁膜105としてTEOS膜をCVD法により堆積させる。

## 【 0 0 0 6 】

ここにおいて、第1の層間絶縁膜103の堆積にはタイプ2またはタイプ3の堆積傾向を有する条件により堆積されており、後のCMP法による平坦化処理後には第1の層間絶縁膜103はほぼ平坦となる。

【 0 0 0 7 】

また、第 2 の層間絶縁膜 1 0 5 の堆積にはタイプ 1 またはタイプ 4 の堆積傾向を有する条件により堆積されており、ウェーハエッジ部 1 0 9 における膜厚は少なくなっている。

【 0 0 0 8 】

次に、図 6 ( b ) に示すように、第 2 の層間絶縁膜 1 0 5 を CMP 法により平坦化处理を行う。

【 0 0 0 9 】

次に、図 6 ( c ) に示すように、フォトリソグラフィ技術及びドライエッチング技術を用いて接続孔部 1 0 6 を開口した後、CVD 法によりウェーハ全面にタングステン膜などの導電膜 1 0 7 を堆積させる。なお、導電膜 1 0 7 の接着性向上のために、導電膜 1 0 7 を堆積する前に、TiN / Ti 積層膜をスパッタ蒸着している。

【 0 0 1 0 】

次に、図 6 ( d ) に示すように、CMP 法により第 2 の層間絶縁膜 1 0 5 上の導電膜 1 0 7 を除去することにより、接続孔 1 0 8 内のみ導電膜 1 0 7 が残され、プラグが形成される。

【 0 0 1 1 】

この方法によると、プラグを形成する場合においては、第 2 の層間絶縁膜 1 0 5 の CMP 法による平坦化处理後においては、ウェーハエッジ付近の研磨レートが異常に速くなるために、図 6 ( c ) に示されているように、ウェーハエッジ 1 0 9 付近の第 2 の層間絶縁膜 1 0 5 の膜厚は薄くなっている。

【 0 0 1 2 】

また、図 7 は、別の従来例の説明図である。図 7 ( a ) に示すように所定の半導体素子を形成した基板 1 1 3 上に第 1 の層間絶縁膜 1 1 4 を CVD 法により堆積し、CMP 法による平坦化处理を行う。ここにおいて、第 1 の層間絶縁膜 1 1 4 のタイプ 1 またはタイプ 4 の堆積傾向を有する条件により堆積されており、ウェーハエッジ 1 1 5 付近において堆積後の膜厚は薄くなっている。

【 0 0 1 3 】

次に、図 7 (b) に示すように、配線形成前における第 1 の層間絶縁膜 1 1 4 の平坦化処理を CMP 法により行う。

【 0 0 1 4 】

この方法により平坦化処理を行うと、図 7 (a) に示されるように、第 1 の層間絶縁膜 1 1 4 のウェーハエッジ 1 1 5 付近の膜厚は少なく堆積されており、さらに CMP の研磨傾向は図 2 に示すようにウェーハエッジから 1 mm から 3 mm 付近では異常に研磨レートが速くなるということを考慮すると、研磨処理後においてはウェーハエッジ付近の基板 1 1 5 が研磨されてしまう。

【 0 0 1 5 】

そこで、上述したウェーハエッジ付近の研磨レートが異常に速くなるという問題の解決策として、たとえば特開平 9 - 1 3 9 3 6 6 号に、ウェーハ保持具の一部でもあるリテーナリング外周部の断面形状をラウンド形状としたり、リテーナリングの高さを調整することにより、ウェーハの外周部における研磨量異常を抑制し、その結果、研磨レートやその均一性を良好に維持する技術が開示されている。

【 0 0 1 6 】

しかしながら、この方法を用いた場合でも、ウェーハエッジ 1 0 9、1 1 5 付近においては図 8 に示すような研磨布の 2 次的変形を回避することができず、その反発力がウェーハエッジ 1 0 9、1 1 5 付近に生じてしまい、結果としてウェーハエッジ 1 0 9、1 1 5 付近の異常な研磨レートを抑制することは不可能である。

【 0 0 1 7 】

【発明が解決しようとする課題】

従って、配線間プラグを形成する工程においては、図 6 (c) に示されるように導電膜 1 0 7 を堆積し、CMP 法により第 2 の層間絶縁膜 1 0 5 上の導電膜 1 0 7 を除去する際に、ウェーハ領域 1 1 0 において第 2 の層間絶縁膜 1 0 5 が異常に速く研磨されているためにこの領域 1 1 0 に堆積された導電膜 1 0 7 は CMP 処理後でも完全に除去されず、領域 1 1 0 の一部に残留導電膜 1 1 1 が生じてしまい、ウェーハ上に異物を発生する原因となってしまう。

【0018】

また、トランジスタ上の層間絶縁膜を形成する工程においては、図7(b)に示すように第1の層間絶縁膜114の平坦化处理の際にウェーハエッジ115付近において基板113自身を研磨してしまい、ウェーハ上に異物を発生する原因となってしまう。

【0019】

そこで、本発明は、上記問題点に鑑み、CMP法による研磨後においても異物の発生を防止することができる半導体装置の製造方法を提供するものである。

【0020】

【課題を解決するための手段】

上記課題を解決する為に、本発明は、化学的機械研磨法により層間絶縁膜を平坦化する工程を有する半導体装置の製造方法において、過剰研磨部となる箇所に、前記層間絶縁膜を堆積する前または後にストッパ層を堆積することを特徴とする半導体装置の製造方法である。

【0021】

この方法によると、過剰研磨部となる箇所にストッパ層を設けるためにウェーハエッジ付近の層間絶縁膜の均一性が改善されて、良好な半導体装置の製造が可能となる。

【0022】

さらに、層間絶縁膜の平坦性が向上するために、その後の配線間を繋ぐ接続孔を埋め込む工程において、ウェーハエッジ付近の段差部となる箇所に配線材料が除去されずに異物となることを防止することが可能となる。

【0023】

また、前記ストッパ層の膜厚は、前記層間絶縁膜の研磨後の目標膜厚よりも前記層間絶縁膜の研磨工程における膜厚減少分以上厚くすることを特徴とする半導体装置の製造方法である。

【0024】

この方法によると、層間絶縁膜の研磨後においても、過剰研磨部となる箇所においてストッパ層が除去されてしまうことがない。



【0025】

また、前記ストッパ層の幅は、接続孔形成のためのフォトリソグラフィ工程におけるレジスト層のウェーハエッジ領域での除去幅以上とすることを特徴とする半導体装置の製造方法である。

【0026】

この方法によると、確実にウェーハエッジ付近の過剰研磨を防止することが可能となる。

【0027】

また、前記ストッパ層は、窒化膜であることを特徴とする半導体装置の製造方法である。

【0028】

この方法によると、酸化膜に対する研磨レート選択比が高くすることが可能となる。

【0029】

【発明の実施の形態】

（実施形態1）

以下に本発明の実施の形態を、図面を参照して説明する。図1は、本発明の実施の形態を製造工程順に示す断面図である。

【0030】

まず、図1（a）のように所定の半導体素子を形成した基板1上に第1の絶縁膜2を形成し、窒化珪素膜3を堆積した後、周知のフォトリソグラフィ技術およびドライエッチング技術によりウェーハエッジ4付近を残して前記窒化珪素膜3を除去し、ウェーハエッジ4付近にのみ窒化珪素膜を積層する。即ち、ウェーハエッジ4付近にある一定幅を有する窒化珪素膜3を積層する。次に、図1（b）のように第1の絶縁膜2上に下層配線5、酸化窒素からなる第2の層間絶縁膜6を堆積した後、CMP法により平坦化する。平坦化後の様子を図1（c）に示す。

【0031】

この上記CMP法による第2の層間絶縁膜6の平坦化の際には、エッジ付近の

研磨レートが速い領域において、研磨が窒化珪素膜 3 に達するが、窒化珪素膜の研磨レートは、酸化珪素からなる層間絶縁膜の研磨レートに対して非常に小さいため、窒化珪素膜 3 の研磨量 7 は非常に小さい。

## 【 0 0 3 2 】

続いて、図 1 (d) に示すように、周知のフォトリソグラフィ技術およびドライエッチング技術により、接続孔部 8 を開口する。この際、ウェーハエッジ 4 付近の領域のレジスト膜が除去された領域 9 では、ドライエッチング技術により、先の CMP 工程で残留した第 2 の層間絶縁膜 6 は除去されるが、窒化珪素膜のエッチングレートは、酸化珪素からなる層間絶縁膜のエッチングレートに対して非常に小さいため、窒化珪素膜 3 の除去量 1 0 は非常に少ない。従って、ウェーハエッジ 4 付近の均一性が非常に高い層間絶縁膜構造が形成される。

## 【 0 0 3 3 】

その後、図 1 (e) に示すように、CVD 法により、全面に例えばタンゲステン膜などの導電膜 1 1 を堆積する。この際、接着性向上のため、導電膜 1 1 を堆積する前に、チタンナイトライド膜時等を積層し、複数の導電膜構造としても構わない。

## 【 0 0 3 4 】

続いて、CMP 法により、第 2 の層間絶縁膜 6 および窒化珪素膜 3 上の導電膜 1 1 を除去することにより、接続孔プラグ 1 2 を形成する。形成後を図 1 (f) に示す。この CMP 工程において、窒化珪素膜 3 の除去量 1 0 が非常に少ないことにより、この領域に導電膜 1 1 が残留することを防止することができる。

## 【 0 0 3 5 】

以上の方法により、ウェーハエッジ 4 付近の層間絶縁膜の均一性を改善し、また、ウェーハエッジ 4 付近の接続孔堆積導電膜の残留がない構造の作成が可能となる。

## (実施例 1)

ここで、第 2 の層間絶縁膜 6 の CMP 法における、ウェーハエッジ 4 付近の層間絶縁膜の均一性の改善の一例として、酸化珪素系の研磨粒子を含む研磨剤を用いて、研磨した例について述べる。

## 【 0 0 3 6 】

図 3 は、ウェーハエッジ 4 からの距離（ミリメートル）に対する研磨レートが示されており、約  $2000 \text{ \AA}/\text{分}$  の研磨領域に対して最大で約  $5000 \text{ \AA}/\text{分}$  の研磨レートを持つ領域が存在していることが分かる。

## 【 0 0 3 7 】

上述した研磨レートにおいて第 2 の層間絶縁膜 6 の平坦化処理を行う。例えば第 2 の層間絶縁膜 6 をタイプ 1 またはタイプ 4 の条件で堆積した場合、ウェーハ面上における中心部では約  $20000 \text{ \AA}$ 、ウェーハエッジ 4 付近では約  $18000 \text{ \AA}$  堆積される。その後、平坦化処理を行うと、中心部付近における CMP の研磨レートは約  $2000 \text{ \AA}/\text{分}$  で、ウェーハエッジ 4 付近の最も速い研磨レートが約  $5000 \text{ \AA}/\text{分}$  ということを考慮すると、中心部において仮に目標膜厚を約  $10000 \text{ \AA}$  とすると、5 分の研磨時間が必要となり、ウェーハエッジ付近においては、第 2 の層間絶縁膜 6 は完全に研磨されてしまい、研磨対象が第 1 の絶縁膜 2 まで及ぶこととなる。

## 【 0 0 3 8 】

従って、上述したウェーハエッジ 4 付近における過剰研磨を防止するために、第 2 の層間絶縁膜 6 を堆積する前に、CVD 法により窒化珪素膜 3 をウェーハエッジ 4 から約  $3 \sim 4 \text{ mm}$  幅のみに周知のフォトリソグラフィ技術とドライエッチング技術を用いて堆積させる。その後、第 2 の層間絶縁膜 6 を堆積する。従って、例えば窒化珪素膜 3 を約  $2000 \text{ \AA}$  堆積させるとすると、最も研磨レートの速い箇所における被研磨量 7 は  $1750 \text{ \AA}$  となり、窒化珪素膜 3 の膜厚は約  $250 \text{ \AA}$  となる。

## 【 0 0 3 9 】

次に、周知にフォトリソグラフィ技術とドライエッチング技術により接続孔部 8 を開口する。ドライエッチングの一例として  $\text{C}_4\text{F}_8$  ガスまたは  $\text{C}_2\text{F}_6$  ガスおよびアルゴンガスを 5 ミリリットルで、1600 ワットのバイアス出力と 1800 ワットのソース出力をもってエッチングを行う場合、酸化珪素膜の除去レートが約  $9000 \text{ \AA}/\text{分}$  であるのに対し、窒化珪素膜の除去レートは約  $600 \text{ \AA}/\text{分}$  である。従って、窒化珪素膜 3 を堆積しない場合においては、ウェーハエッジ 4

付近における最も研磨レートが速い箇所においては、第1の絶縁膜2まで研磨が進行しており、次に接続孔部8をドライエッチング技術により開口する際には、ウェーハエッジ4付近は保護膜であるレジストが堆積されない領域であるために、さらにウェーハエッジ4付近のエッチングが進行することとなり、窒化珪素膜3上の除去量10は最大領域14で約700Å、最少領域15で約50Åとなる。

#### 【0040】

通常、フォトリソグラフィ工程におけるレジスト塗布処理では、ウェーハ搬送時におけるウェーハ裏面へのレジストの回り込み阻止とウェーハの側面部に付着したレジストを除去するために全面にレジストをスピン塗布した後に、周辺部領域だけ、例えばウェーハエッジから3～4mm幅のレジスト除去工程を入れることが一般的である。

#### 【0041】

上述の例においては、窒化珪素膜3上のと被研磨量7と除去量10の総量が、最大領域14で約700Å、最小領域で約50Åである。従って、窒化珪素膜3の堆積膜厚を、平坦化による第2の層間絶縁膜6の目標研磨後膜厚13より約50Å～700Åだけ厚い膜厚とすることにより、ウェーハエッジ4付近の最終膜厚を、層間絶縁膜6の目標研磨後膜厚13とほぼ同等とすることが可能となる。

#### 【0042】

以上のように、本発明によると、ウェーハエッジ4付近に窒化珪素膜3を設置することにより、後の導電膜11を除去するCMP工程において、ウェーハエッジ4付近の過剰に研磨されることにより生じる窪みに導電膜11が残留することがなく、以降の工程において異物の発生を防止することが可能となる。

#### 【0043】

また、第2の層間絶縁膜6のCMP法における研磨レートおよびドライエッチング工程における除去レートが上記例と異なる場合であったとしても、層間絶縁膜平坦化のための研磨工程および接続孔形成のためのエッチング工程における窒化膜減少膜厚を見積もり、窒化珪素膜3の堆積膜厚を、第2の層間絶縁膜6の目標研磨後膜厚13に見積もり膜厚を加えた膜厚とするとよい。

## 【 0 0 4 4 】

また、上述の実施例の説明においては、第 1 の絶縁膜 2 の堆積後に窒化珪素膜 3 を堆積しているが、第 2 の層間絶縁膜 6 の後に窒化珪素膜 3 を堆積しても構わない。

## 【 0 0 4 5 】

また、図 2 に示されるように、ウェーハエッジ 4 付近に形成される窒化珪素膜 3 を、接続孔形成のためのフォトリソグラフィ工程におけるレジスト層のウェーハエッジ領域での除去領域 9 と等しい領域に形成した場合を示している。接続孔形成のためにエッチング工程において、窒化珪素膜 3 上の第 2 の層間絶縁膜 6 は除去され、窒化珪素膜 3 の無い領域の層間絶縁膜 6 は除去されないため、この領域でより均一性の高い層間膜が形成できる。なお、窒化珪素膜 3 を、除去領域 9 と完全に等しい領域に形成することは容易ではないため、窒化珪素膜 3 を、除去領域 9 よりわずかに広い領域に形成するようにしても構わない。

## 【 0 0 4 6 】

なお、本発明に使用する基板としては、通常、半導体装置を製造するために使用されるすべての基板があげられ、ガラス基板、プラスチック基板、半導体基板、半導体ウェーハ等が挙げられる。具体的には、元素半導体（シリコン、ゲルマニウム等）基板、化合物半導体（GaAs、ZnSe、シリコンゲルマニウム等）基板等の種々の基板、SOI、SOS等の基板、元素ウェーハ（シリコン等）、石英基板、プラスチック（ポリエチレン、ポリスチレン、ポリイミド等）等が挙げられる。

## （実施形態 2）

以下に、本発明の他の実施形態について説明する。図 5 は、本発明を実施した半導体装置の製造断面図である。図 5（a）において、トランジスタ等を形成した基板上に、層間絶縁膜 16 として CVD 法により BPSG 膜を堆積させた後、CMP 法による研磨レートが異常に速いウェーハエッジ 18 から 3 mm（図 2 参照）の幅でストッパ層 17 として窒化珪素膜を堆積させる。

## 【 0 0 4 7 】

次に、図 5（b）に示すように、CMP 法による平坦化処理を行う。このとき

、研磨レートが異常に速いウェーハエッジ 1 8 付近には窒化珪素膜が堆積されているためにウェーハエッジ 1 8 付近において基板 1 9 が露出することが防止される。

【 0 0 4 8 】

次に、図 5 ( c ) に示すように、リン酸によるウェットエッチ法により窒化珪素膜を除去することにより平坦な層間絶縁膜 1 6 が形成される。

【 0 0 4 9 】

なお、層間絶縁膜 1 6 、ストッパ層 1 7 の種類及び堆積量は特に限定されるものではないが、ストッパ層の堆積量は、ストッパ層 1 7 及び層間絶縁膜 1 6 の堆積量と CMP 法による各々の膜に対する研磨レートから基板が露出されない程度の堆積量とすべきである。

【 0 0 5 0 】

さらに、本発明に使用する基板としては、通常、半導体装置を製造するために使用されるすべての基板があげられ、ガラス基板、プラスチック基板、半導体基板、半導体ウェーハ等が挙げられる。具体的には、元素半導体（シリコン、ゲルマニウム等）基板、化合物半導体（GaAs、ZnSe、シリコンゲルマニウム等）基板等の種々の基板、SOI、SOS等の基板、元素ウェーハ（シリコン等）、石英基板、プラスチック（ポリエチレン、ポリスチレン、ポリイミド等）等が挙げられる。

【 0 0 5 1 】

尚、上述した実施形態における層間絶縁膜を成膜する CVD 装置においては、ウェーハ全面に成膜することが可能な装置を前提に説明しておりますが、ウェーハの保持をリング等によりウェーハ周辺で固定することにより、ウェーハエッジから周辺数 mm は成膜されない装置を利用した場合でも本発明を適用することが可能である。

【 0 0 5 2 】

【発明の効果】

本発明によると、ウェーハエッジ付近に窒化珪素膜などのストッパ層を堆積することにより、CMP 法によるウェーハエッジ付近の異常に速い研磨レートを抑

えることができ、ウェーハ上に異物の発生を防止することが可能となる。

【0053】

さらに、配線間を繋ぐ接続孔をドライエッチングする際において、レジストが堆積されないウェーハエッジ付近領域におけるストッパ層としての役割を担うこととなり、層間絶縁膜の膜厚減少を防止することが可能となる。

【図面の簡単な説明】

【図1】

本発明である半導体装置の工程断面図である。

【図2】

本発明である半導体装置の工程断面図の拡大図である。

【図3】

CMP工程における、ウェーハエッジ付近での研磨レートの一例を示す図である。

【図4】

層間絶縁膜の堆積傾向を定性的に示すグラフである。

【図5】

本発明の別の実施形態を示す半導体装置の工程断面図である。

【図6】

従来の半導体装置の工程断面図である。

【図7】

従来の半導体装置の工程断面図である。

【図8】

研磨処理中におけるウェーハエッジ付近の拡大図である。

【符号の説明】

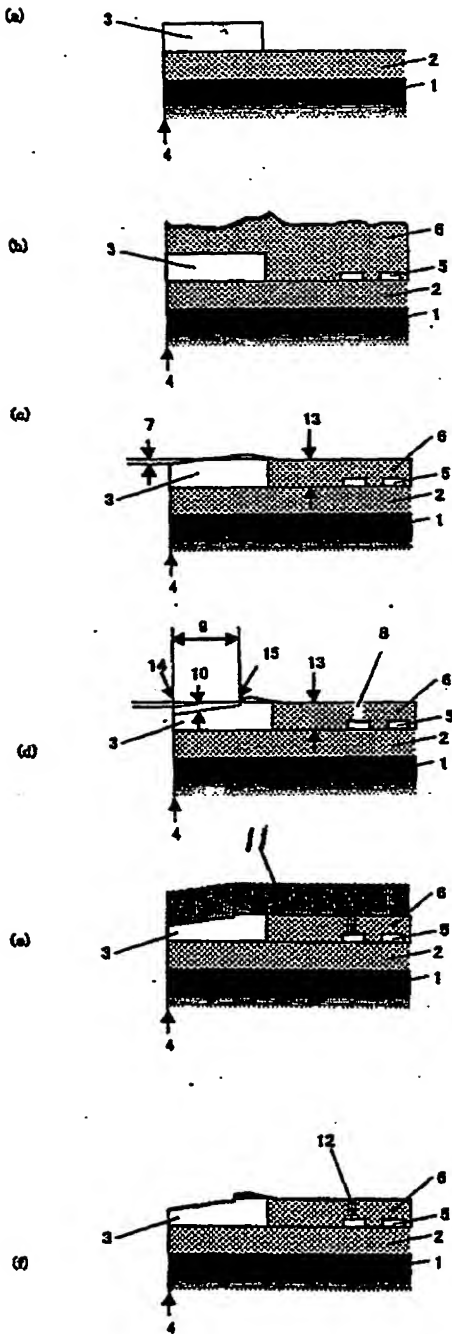
- |   |         |
|---|---------|
| 1 | 基板      |
| 2 | 第1の絶縁膜  |
| 3 | 窒化珪素膜   |
| 4 | ウェーハエッジ |
| 5 | 下層配線    |

6	第 2 の層間絶縁膜
7	研磨量
8	接続孔部
9	領域
1 0	除去量
1 1	導電膜
1 2	接続孔プラグ
1 3	目標研磨後膜厚
1 4	最大領域
1 5	最小領域
1 6	層間絶縁膜
1 7	ストッパ層
1 8	ウェーハエッジ
1 9	基板

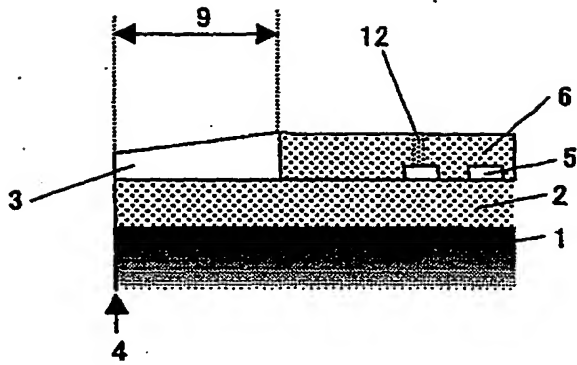


【書類名】 図面

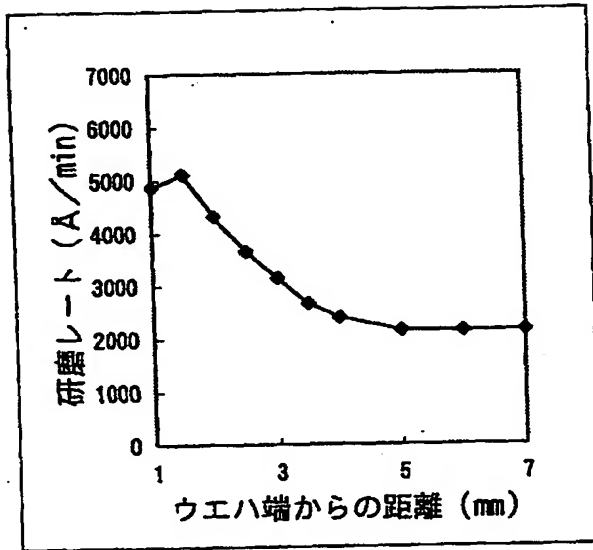
【図1】



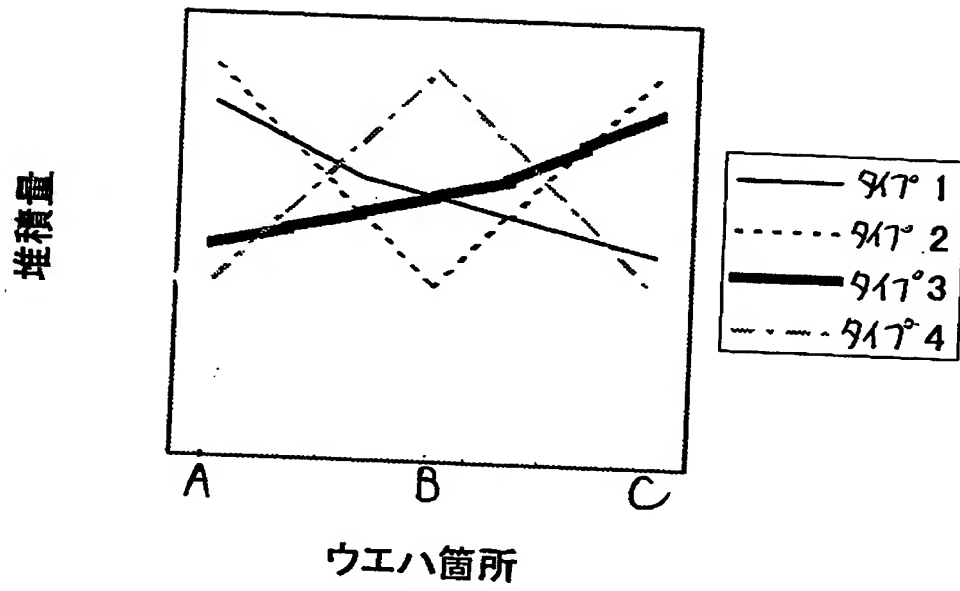
【図2】



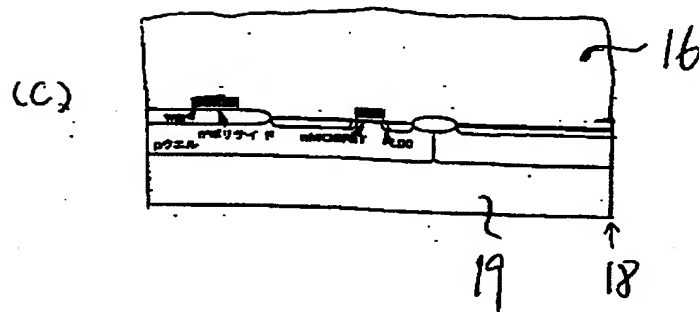
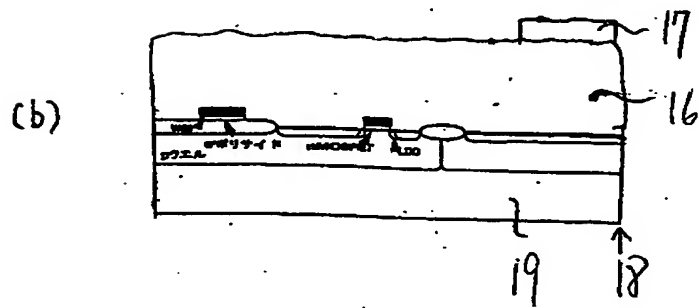
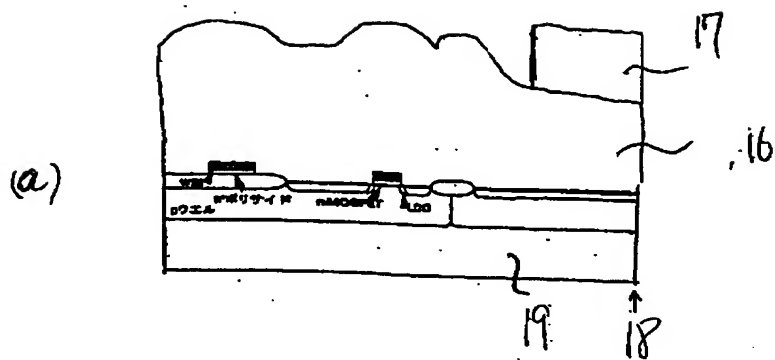
【図3】



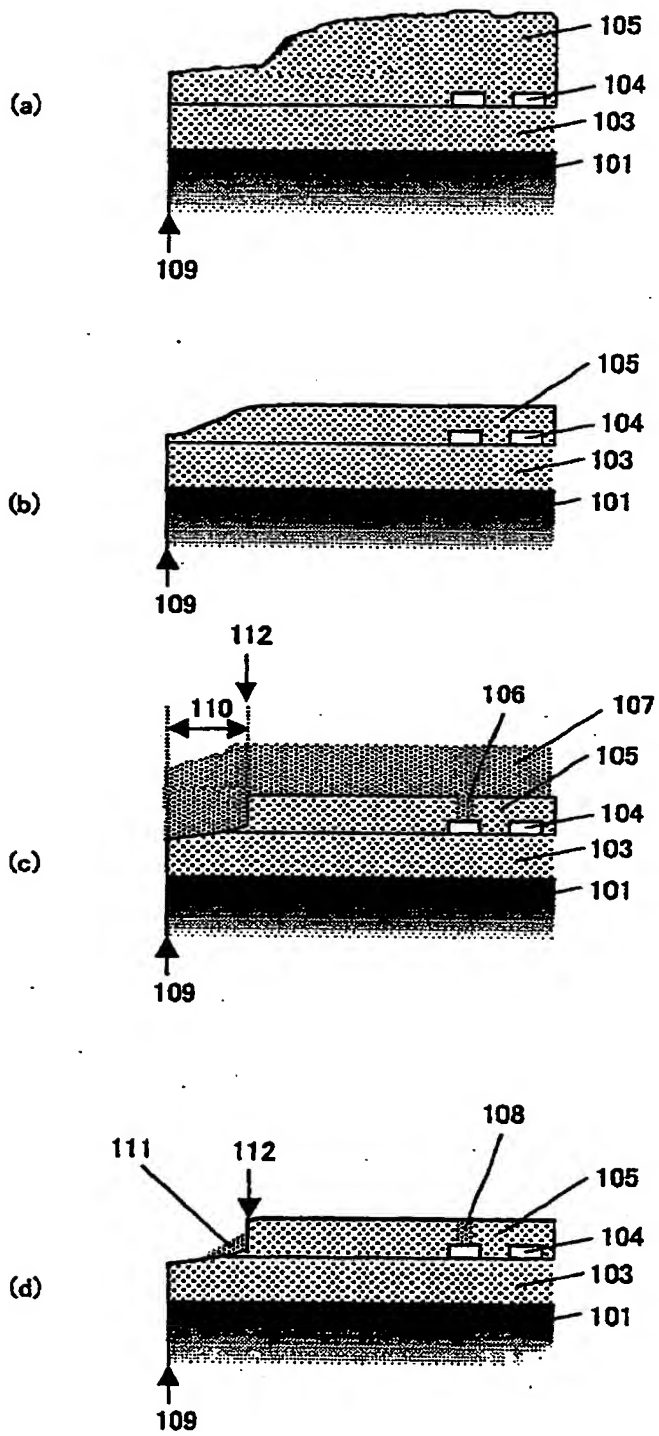
【図4】



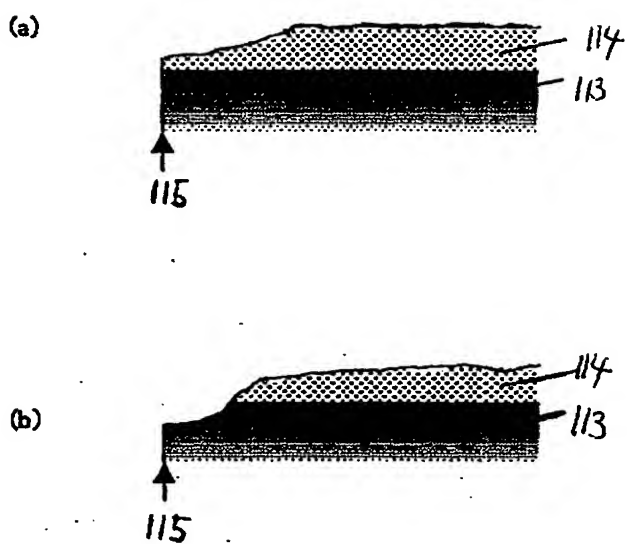
【図 5】



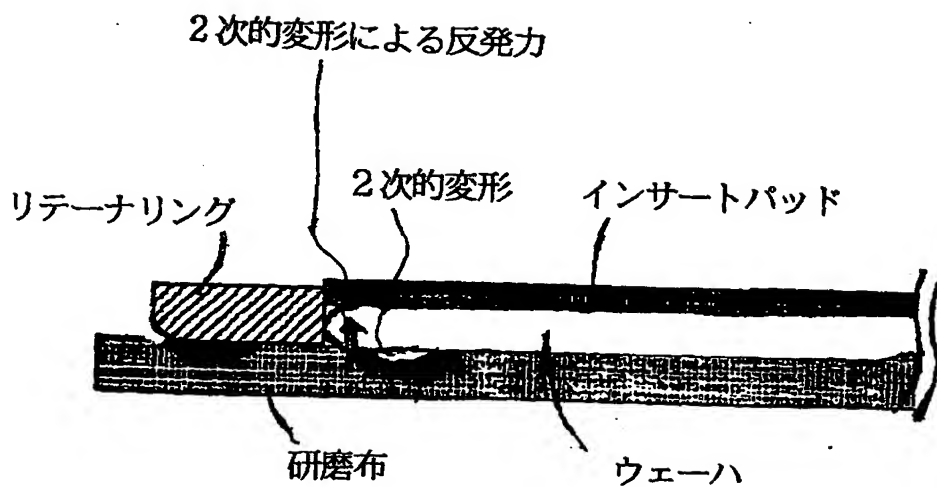
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 配線間絶縁膜および配線間プラグを形成する工程において、ウェーハエッジ付近領域において、ウェーハエッジ付近の層間絶縁膜の膜厚均一性の悪化を防止する半導体装置の製造方法を提供する。

【解決手段】 上記課題を解決するために、本発明は、CMP工程時におけるウェーハエッジ付近における異常に速い研磨レートの箇所に、酸化膜より研磨レートの遅い窒化膜を堆積することにより、ウェーハエッジ付近領域における研磨レートを遅くする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社